



ÚSTAV RADIOELEKTRONIKY

UREL FEKT :: Purkyňova 118 :: 612 00 Brno :: Tel: 541 149 105 :: Fax: 541 149 244

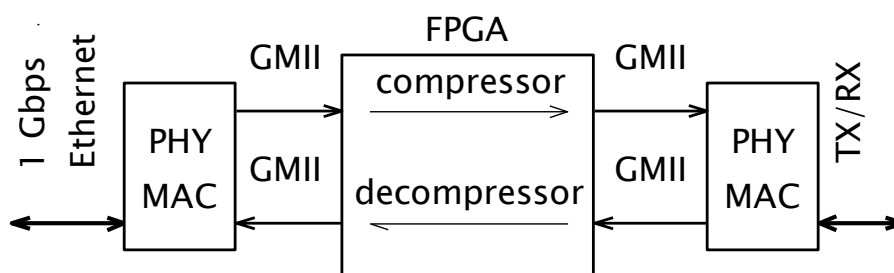
Kompresor a dekompresor hlaviček pro 1 Gbps Ethernet, implementace pro FPGA

Milan ŠTOHANZL, Zbyněk FEDRA

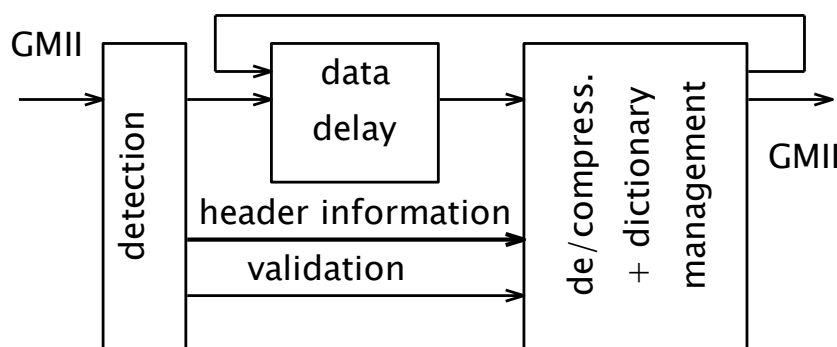
The described research was performed in laboratories supported by the SIX project; the registration number CZ.1.05/2.1.00/03.0072, the operational program Research and Development for Innovation. Systems of Wireless Internet Communication (SYWIC) LD11081 in frame of COST IC 0906 action. FEKT-S-11-12 - Zpracování signálů v mobilních a bezdrátových komunikačních systémech (MOBYS)

Abstrakt – Kompresor a dekompresor hlaviček pro 1 Gbps Ethernet slouží k hardwarové implementaci komprese TCP/IP a UDP/IP hlaviček Ethernetového toku. Navržená komprese pracuje na úrovni linkové vrstvy. Modul kompresoru a dekompresoru je realizován tak, aby docházelo k co nejmenší latenci přenášených dat. Implementace byla testována na FPGA obvodu Altera Cyclone III (EP3C40F484C7).

<i>Synthesis results</i>		LEs	M9Ks	LUTs
Compressor	<i>detector</i>	404	0	109
	<i>data delay</i>	74	1	24
	<i>compressor</i>	3661	0	1635
Decompressor	<i>detector</i>	526	0	156
	<i>data delay</i>	82	1	32
	<i>decompressor</i>	4240	0	1760



Obr. 1: Blokové schéma HW



Obr. 2: Blokové schéma de/kompresoru



www.urel.feec.vutbr.cz



urel@feec.vutbr.cz